

Universität Karlsruhe (TH)
Institut für Technische Informatik
Prof. Dr. Wolfgang Karl

Klausur Rechnerstrukturen
Sommersemester 2007
Aufgabenteil

Aufgabe 1: Quantifizierung

10P

Leistungsbewertung von Rechensystemen

Zur Quantifizierung der Leistungsfähigkeit eines Rechensystems liefert Ihnen der Rechnerhersteller folgende Werte: Prozessortaktfrequenz, MIPS, CPI und einen SPECint-Wert.

- a) Welcher dieser Werte erscheint Ihnen am sinnvollsten zur Beurteilung der Leistungsfähigkeit? Wie kommt dieser Wert zustande und warum zeichnet er sich gegenüber den anderen aus? **1,5P**
- b) Wie hängen Prozessortaktfrequenz f , MIPS und CPI zusammen? Geben Sie eine Formel an, welche den direkten Zusammenhang dieser drei Größen demonstriert. **0,5P**
- c) Bei den durchzuführenden Berechnungen muss häufig auf Festplattenspeicher zugegriffen werden. Ohne Berücksichtigung des Betriebssystems: Welche zwei grundsätzlichen Kenngrößen sind hierfür von Interesse und wie leiten Sie hieraus Bedienzeit X_i und maximale Auslastung D_{imax} ab? **1,5P**

Zwei Prozessoren arbeiten die selbe Problemstellung ab. Die Abarbeitungszeit sei hierfür identisch. Für Prozessor 1 ermitteln Sie einen MIPS-Wert von 1800, Prozessor 2 erziele 1000 MIPS. Der CPI-Wert beider Prozessoren sei identisch.

- d) Unter Beachtung von Codegröße und Energieverbrauch: Welchen Prozessor würden Sie einsetzen und warum? **1,5P**

Fertigungskosten:

- e) Die Anzahl der erzielbaren Dies pro Wafer ist eine wesentliche Kenngröße bei der Ermittlung der Fertigungskosten. **2P**
- Wie lautet die Formel hierfür? **0,5P**
 - In welche zwei Teilgrößen zerfällt die Formel? Ordnen Sie diese Teilgrößen den Formelbestandteilen zu. **0,5P**
 - Worin liegt begründet, dass Anzahl der erzielbaren Dies pro Wafer im Vergleich zur Erhöhung der Wafergröße überproportional steigt? **1P**
- f) Die-Yield und Wafer-Yield seien identisch und von Null verschieden, der Technologiefaktor α betrage 1. Leiten Sie das Verhältnis von Die-Fläche und Fehlerdichte (*defects per unit area*) her. **1P**
- g) Woraus setzen sich die Fertigungskosten pro Die zusammen und berechnen sich hieraus die Gesamtkosten pro IC? **1P**
- h) Mit Blick auf das Formelwerk: Welche Fertigungsschritte in der IC-Produktion sind ursächlich für den sogenannten Final-Yield verantwortlich? Begründen Sie Ihre Antwort. **1P**

Aufgabe 2: Hardwareentwurf

10P

- a) Beim Schaltungsentwurf findet eine Verfeinerung in drei Bereichen statt. Um welche Verfeinerungen handelt es sich hier? Geben Sie eine kurze Erklärung zu den einzelnen Verfeinerungen. **3P**
- b) Eine VHDL-Beschreibung besteht mindestens aus zwei Teilen. Welche sind dies und welche Funktion besitzen diese? **2P**

In einer VHDL-Beschreibung sei ein Prozess wie folgt beschrieben. Hierbei sei `count` vom Typ `unsigned(7 downto 0)`:

```
process (clk, count)
begin
  if clk'event and clk='1' then
    count<=count+1;
    if count=X"ff" then
      flag<='1';
    else
      flag<='0';
    end if;
  end if;
end process;
```

- c) Bei der Simulation dieses Prozesses erhalten Sie für `count` konsequent den Wert "UUUUUUUU". Synthetisiert in Hardware beobachten Sie jedoch wie erwartet eine Aufwärtszählfunktion. **3P**
- Nennen Sie die Ursache für das in der Simulation beobachtete Verhalten und erklären Sie, weswegen die Zählfunktion hier nicht sichtbar wird. **1P**
 - Was fehlt in der Schaltungsbeschreibung, um auch in der Simulation eine korrekte Funktion zu gewährleisten? **0,5P**
 - Ändern Sie die Prozessbeschreibung so ab, dass die korrekte Funktion des Zählers auch in der Simulation gewährleistet ist. **1,5P**
- d) Das `flag`-Signal (vom Typ `bit`) soll den Zählerstand `0xff` anzeigen, d.h. zum Zeitpunkt `count=X"ff"` für eine Taktperiode den Wert 1 annehmen, sonst 0. **2P**
- Bei welchem tatsächlichen Zählerstand beobachten Sie beim gegebenen Codefragment in Simulation und Synthese den Zustand `flag='1'`? Warum ist dies so? **1P**
 - Das `flag`-Signal soll nicht synchron innerhalb des Prozesses sondern nebenläufig außerhalb erzeugt werden. Wie lautet die VHDL-Zuweisung hierfür? **1P**

Aufgabe 3: Prozessorarchitektur

10P

Pipelining:

- a) Eine Architektur verwende eine 7-stufige, perfekt ausbalanzierte Pipeline. Die Anzahl der in diesem Programm ausgeführten Befehle betrage 800000. **1P**
- Bei der Abarbeitung treten keine Konflikte auf, d.h. die Verweilzeit jedes Befehls in der jeweiligen Pipelinestufe betrage einen Taktzyklus. Nach wievielen Taktzyklen ist die Abarbeitung beendet? *0,5P*
 - Durch Konflikte treten bei der Abarbeitung pro Befehl im Schnitt 2,5 sogenannte *stall*-Zyklen auf. Welche Beschleunigung (speed-up) ergibt sich dennoch gegenüber der Abarbeitung auf einer Architektur ohne Pipeline? *0,5P*
- b) Bei der Hardwaresynthese der 7 Pipelinestufen werden für die einzelnen Stufen Durchlaufzeiten von 8, 2, 1, 4, 3, 10 und 5 ns ermittelt. Welche Taktfrequenz ergibt sich für die Architektur und warum? **1P**
- c) Eine 5-stufige Pipeline habe den Aufbau $IF \rightarrow ID \rightarrow EX \rightarrow MA \rightarrow WB$ und verfüge über keine Hardware zur Konfliktbehandlung. Auf dieser Architektur werde das nachfolgende Codefragment abgearbeitet. **2P**
(Hinweis: Der Aufbau des Befehls ist `<opcode> ziel, quelle1, quelle2`)
- ```
ADD R3, R2, R1
ADD R4, R3, R5
```
- Welche Abhängigkeit beobachten Sie hier? Welche Auswirkungen hat diese bei der beschriebenen Pipeline-Architektur und wie lange dauern diese Auswirkungen an? *1P*
  - Wie könnten Sie das Problem rein softwarebasiert umgehen? *0,5P*
  - Welchen Hardwareansatz würden Sie zur Lösung des Problems heranziehen? *0,5P*
- d) Innerhalb einer Schleife befindet sich die Zuweisung **1,5P**  
 $X[5*i+3]=7*X[3*i+5]+8$
- Ermitteln Sie mithilfe des GCD-Verfahrens, ob diese Zuweisung schleifengetragene Abhängigkeiten enthält oder nicht. *1P*
  - Welche Aussage lässt sich mithilfe des GCD-Verfahrens definitiv treffen? *0,5P*

**Sprungvorhersage:**

- e) In einem Programm werde für eine Sprungfolge bestehend aus zwei Sprüngen das auf dem Lösungsblatt gegebene Sprungmuster ermittelt. Die Architektur verfüge über einen (1,1)-Korrelationsprädiktor zur Sprungvorhersage. Auf dem Lösungsblatt eingetragen finden Sie die Initialisierung der Prädiktoren sowie den Ausgang des letzten Sprungs. Vervollständigen Sie die Tabelle. **4P**
- f) Welche Funktionseinheit verleiht den Korrelationsprädiktoren die Fähigkeit zur Korrelation und warum? **0,5P**

---

## Aufgabe 4: Parallelverarbeitung

10P

### Leistungsfähigkeit von Multiprozessorsystemen

4P

Die Ausführung einer MPI-Anwendung auf einem Cluster mit 128 Knoten betrage 40 Sekunden; hierbei werden 2,56 TeraOp ausgeführt. Die sequentielle Ausführungszeit betrage 2560 Sekunden, wobei 2 TeraOp ausgeführt werden.

- a) Berechnen Sie Beschleunigung (Speedup) und Effizienz. **1P**
- b) Berechnen Sie den Mehraufwand durch die Parallelisierung und die zugehörige Auslastung. **1P**
- c) Ermitteln Sie anhand von Amdahls Gesetz den Bruchteil der Anwendung, der nur sequentiell ausführbar ist. **1P**
- d) Angenommen  $\frac{1}{128}$  der Anwendung sei nicht parallelisierbar, welche maximale Beschleunigung lässt sich dann erreichen? **1P**

### Parallelisierung und Parallelverarbeitung

3,5P

- e) Nennen Sie die Schritte zur Parallelisierung eines sequentiellen Programms und beschreiben Sie diese kurz. **2P**
- f) Welches Verarbeitungskonzept liegt Vektorprozessoren zugrunde? Geben Sie an, wie die Verarbeitung grundsätzlich realisiert wird. **1,5P**

### Verbindungsnetze

2,5P

- g) Gegeben sei ein K-ärer n-Kubus mit Dimension  $n=5$  und Radius  $K=4$ . Bestimmen Sie die Anzahl der Knoten in diesem Netzwerk, sowie dessen Durchmesser und den Verbindungsgrad der einzelnen Knoten. **1,5P**
- h) Wie lauten die Formeln zur Berechnung der Kosteneffektivität und der Diskonnektivität? **1P**

## Aufgabe 5: Speicherhierarchie

10P

### Cache-Leistung

3P

Ein System verfüge über eine Speicherhierarchie mit drei Caches. Die Zugriffszeit der L1-Caches betrage einen Taktzyklus, die des L2-Caches 5 Zyklen und die des L3-Caches 15 Zyklen. Entsprechend betrage die Zugriffszeit auf den Hauptspeicher 150 Zyklen. Es wurden zur Laufzeit einer Anwendung 1000 Speicherzugriffe gemessen. Die Hit-Rate des L1-Caches beträgt 70%, die des L2-Caches 50% und die des L3-Caches 60%.

- a) Wieviele erfolgreiche Zugriffe (Hits) entfallen auf die jeweiligen Cache-Ebenen und wieviele auf den Hauptspeicher? **1,5P**
- b) Berechnen Sie die mittlere Zugriffszeit ( $t_a$ ) der Speicherhierarchie. **1,5P**

### Set-Reuse Distance

3P

Gegeben sei in 2-fach assoziativer Cache mit insgesamt 4 Cachezeilen. Jede Cachezeile kann genau 4 Bytes aufnehmen. Als Verdrängungsstrategie wird LRU verwendet. Bei der Abarbeitung eines Programmes wurden folgende Zugriffe auf die angegebenen Speicheradressen und in der angegebenen Reihenfolge protokolliert:

(1) 0x0000, (2) 0x0004, (3) 0x0100, (4) 0x0008,  
 (5) 0x0000, (6) 0x0100, (7) 0x0008, (8) 0x000C,  
 (9) 0x0104, (10) 0x0004, (11) 0x0100, (12) 0x0000

- c) Geben Sie für jeden Speicherzugriff die Set-Reuse-Distance an. **2,5P**
- d) Berechnen Sie mit Hilfe der Set-Reuse-Distance die Hit-Rate des Caches. **0,5P**

### MOESI-Kohärenzprotokoll

4P

Ein Zweiprozessorsystem sei speichergekoppelt. Die Caches haben je eine Größe von drei Cachezeilen, welche je genau ein Speicherwort aufnehmen können. Die Füllung des Caches erfolgt von der niedrigsten Cachezeile aufwärts, sofern noch freie Zeilen zur Verfügung stehen, andernfalls wird gemäß LRU-Strategie verdrängt. Als Cache-Kohärenzprotokoll komme MOESI zum Einsatz.

- e) Vervollständigen Sie die auf dem Lösungsblatt angegebene Tabelle: Geben Sie jeweils Inhalt der Cache-Zeile und MOESI-Zustand an. **4P**  
*Die Füllung der vorbesetzten Cache-Zeilen erfolgte – wie im obigen Text angegeben – von der jeweils niedrigsten Cachezeile aufwärts.*

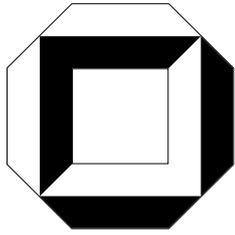
## Aufgabe 6: Fehlertoleranz

10P

- a) Was bedeutet es, wenn ein System zuverlässig arbeitet? Wie erweitert die Eigenschaft der Fehlertoleranz die Systemeigenschaft? **1P**
- b) Welches Phasenmodell beschreibt den typischen Ausfallverlauf von Komponenten? Wieviele Phasen gibt es und wie heißen sie? **1P**
- c) Welche zwei grundsätzlichen Arten des Standby-Betriebs gibt es und worin unterscheiden sich diese? Welches Redundanzmodell liegt diesen Betriebsarten zugrunde? **1,5P**
- d) Welches Prinzip findet bei Systemen Verwendung, in denen bei Komponentenausfall zunächst nur eine verminderte Leistungsfähigkeit, aber kein Totalausfall eintritt? Welches Redundanzmodell liegt hier zugrunde? **1P**
- e) Sie müssen mit minimalem Aufwand ein System aufbauen, bei welchem im Betrieb die korrekte Funktion überprüft werden kann. Welche Art von System verwenden Sie, zu welcher Klasse von Systemen gehört dies und wie lautet die allgemeine Funktionswahrscheinlichkeit für diese Klasse von Systemen? **1,5P**

Die Steuereinheit einer Raumsonde bestehe aus einem fehlertolerant ausgelegten Mikrocontrollersystem  $M$ . Gespeist werde das System aus 2 Sonnensegeln  $SP_1$  und  $SP_2$ , wovon nur eines zum Betrieb des Systems notwendig ist. Die Kommunikation mit der Sonde werde über je eine Empfangseinheit  $RX$  und eine Sendeeinheit  $TX$  abgewickelt, von denen beide zum korrekten Betrieb der Sonde notwendig sind.

- f) Zeichnen Sie das Zuverlässigkeitsblockdiagramm der Raumsonde. **1P**  
*Beachten Sie hierbei auch die sich aus der Aufgabenstellung ergebende logische Reihenfolge der Komponenten.*
- g) Ermitteln Sie die Systemfunktion  $S$  der Raumsonde. **1P**
- h) Erstellen Sie die Formel zur Berechnung der Funktionswahrscheinlichkeit für die Sonde basierend auf den Funktionswahrscheinlichkeiten  $\Phi(SP)$  für ein einzelnes Solarpaneel,  $\Phi(M)$  für das Mikrocontrollersystem sowie  $\Phi(TRX)$  für eine einzelne Sendebzw. Empfangseinheit. **1P**
- i) Der Raumsondenentwurf wird von der Endkontrolle wegen mangelnder Fehlertoleranz zurückgewiesen. Welcher Entwurfsfehler ist enthalten und wie würden Sie ihn korrigieren? **1P**



**Universität Karlsruhe (TH)**  
Institut für Technische Informatik  
Prof. Dr. Wolfgang Karl

# **Klausur Rechnerstrukturen**

## **Sommersemester 2007**

### **Lösungsteil**

Name: \_\_\_\_\_  
Vorname: \_\_\_\_\_  
Matrikelnummer: \_\_\_\_\_

Tragen Sie bitte auf jedem Blatt Ihren Namen und Ihre Matrikelnummer ein. Bitte tragen Sie alle Lösungen und Rechenwege an den vorgesehen Stellen ein und geben Sie keine zusätzlichen Blätter ab, ohne dies dem Aufsichtspersonal mitzuteilen.

**Hinweis:** Bei Rechenaufgaben ist die Angabe des Rechenwegs zwingend erforderlich. Ergebnisse ohne Rechenweg werden **nicht** gewertet.

Zum Bestehen der Klausur sind mindestens 20 Punkte erforderlich.

- Ich wünsche **keine** Notenveröffentlichung per Aushang (Matrikelnummer und Note) am schwarzen Brett  
(Bei Ankreuzen kann die Note erst in der Klausureinsicht erfragt werden.)

Erreichte Punkte (wird vom Institut ausgefüllt):

| Aufgabe | 1   | 2   | 3   | 4   | 5   | 6   |
|---------|-----|-----|-----|-----|-----|-----|
| Punkte  | /10 | /10 | /10 | /10 | /10 | /10 |
| Summe:  |     |     |     |     |     | /60 |

**Lösung 1: Quantifizierung***10P*

a) Antwort:

**1,5P**

Begründung:

b) Formel:

**0,5P**

c) Kenngrößen:

**1,5P**

Bedienzeit:

Maximale Auslastung:

d) Antwort:

**1,5P**

Begründung:

e) Formel  $dpw$ :

**2P**

Formelbestandteile:

Antwort:

f) Formel  $yield_{die}$ :

**1P**

Berechnung:

g) Formel  $cost_{die}$ :

**1P**

Formel  $cost_{ic}$ :

h) Antwort:

**1P**

**Lösung 2: Hardwareentwurf**

*10P*

a) 1.

**3P**

2.

3.

b) 1.

**2P**

2.

c)

3P

- Begründung:

1P

- Korrekte Funktion durch:

0,5P

- Antwort:

1,5P

d)

2P

- Antwort:

1P

- Antwort:

1P

**Lösung 3: Prozessorarchitektur***10P*

a)

*1P*

- Zyklen:

**0,5P**

- Beschleunigung:

**0,5P**

b) Antwort:

**1P**

c)

*2P*

- Antwort:

**1P**

- Antwort:

**0,5P**

- Antwort:

**0,5P**

Name:

Matrikelnummer:

7/14

d) Berechnung:

**1,5P**

Aussage:

e)

**4P**

| Letzter Sprung | Sprung 1 |            |        |        | Sprung 2  |            |        |        |
|----------------|----------|------------|--------|--------|-----------|------------|--------|--------|
|                | P. alt   | Vorhersage | Sprung | P. neu | Prädiktor | Vorhersage | Sprung | P. neu |
| T              | ( T,NT)  |            | NT     | ( , )  | (NT, T)   |            | T      | ( , )  |
|                | ( , )    |            | T      | ( , )  | ( , )     |            | NT     | ( , )  |
|                | ( , )    |            | T      | ( , )  | ( , )     |            | T      | ( , )  |
|                | ( , )    |            | NT     | ( , )  | ( , )     |            | NT     | ( , )  |

f) Antwort:

**0,5P**

**Lösung 4: Parallelverarbeitung***10P*

a) Berechnung Speedup:

**1P**

Berechnung Effizienz:

b) Berechnung Mehraufwand:

**1P**

Berechnung Auslastung:

c) Berechnung nach Amdahl:

**1P**

d) Antwort:

**1P**

Name:

Matrikelnummer:

9/14

---

e) Antwort:

**2P**

f) Antwort:

**1,5P**

g)

**1,5P**

- Knotenanzahl:

- Verbindungsgrad:

- Durchmesser

h) Antwort:

**1P**

Name:

Matrikelnummer:

10/14

---

## **Lösung 5: Speicherhierarchie**

*10P*

a) Antwort:

**1,5P**

b) Antwort:

**1,5P**

c)

**2,5P**

| Adresse | Set-Reuse Distance |
|---------|--------------------|
| 0x0000  |                    |
| 0x0004  |                    |
| 0x0100  |                    |
| 0x0008  |                    |
| 0x0000  |                    |
| 0x0100  |                    |
| 0x0008  |                    |
| 0x000C  |                    |
| 0x0104  |                    |
| 0x0004  |                    |
| 0x0100  |                    |
| 0x0000  |                    |

d) Hit-Rate:

**0,5P**

e)

4P

| Prozessor | Aktion | Prozessor 1 |        |        | Prozessor 2 |        |        |
|-----------|--------|-------------|--------|--------|-------------|--------|--------|
|           |        | Line 1      | Line 2 | Line 3 | Line 1      | Line 2 | Line 3 |
|           | init   | 1/E         | 2/S    | 4/E    | 2/S         | 6/M    | -      |
| 1         | rd 6   |             |        |        |             |        |        |
| 2         | rd 2   |             |        |        |             |        |        |
| 1         | wr 6   |             |        |        |             |        |        |
| 1         | wr 4   |             |        |        |             |        |        |
| 2         | rd 3   |             |        |        |             |        |        |
| 1         | rd 5   |             |        |        |             |        |        |
| 2         | rd 6   |             |        |        |             |        |        |
| 2         | wr 5   |             |        |        |             |        |        |

Name:

Matrikelnummer:

13/14

---

## **Lösung 6: Fehlertoleranz**

*10P*

a) Antwort:

**1P**

b) Antwort:

**1P**

c) Antwort:

**1,5P**

d) Antwort:

**1P**

e) Antwort:

**1,5P**

f) Zuverlässigkeitsblockdiagramm:

**1P**

g) Systemfunktion:

**1P**

h) Formel:

**1P**

i) Antwort:

**1P**